

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-084259  
(43)Date of publication of application : 31.03.1998

(51)Int.CI. H03K 5/02  
G09G 3/36  
H01L 27/08  
H01L 29/786  
H03K 5/151  
H03K 19/0185  
H03K 19/0948

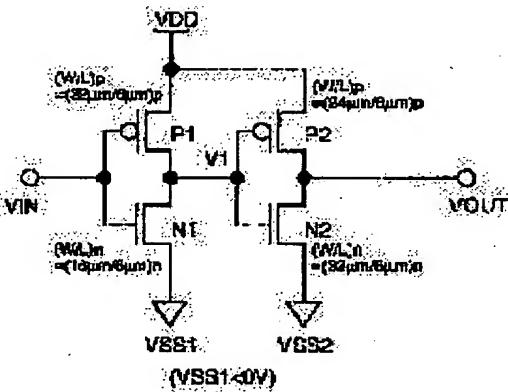
(21)Application number : 08-237587 (71)Applicant : NEC CORP  
(22)Date of filing : 09.09.1996 (72)Inventor : ASADA HIDEKI

#### (54) LEVEL SHIFT CIRCUIT

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide the level shift circuit that is able to respond at a high speed to an input signal with 5V / 3.3V which is usually used for an external signal processing circuit even when transistors (Tress) with a high threshold voltage such as polycrystal silicon thin film TR are in use.

**SOLUTION:** Two stages of CMOS inverter circuits are connected in cascade and a drive voltage VDD for the CMOS inverter circuits is selected higher than an input signal voltage  $V_{IN}$ . In the circuits, a ground level  $V_{SSI}$  of the 1st stage CMOS inverter circuit is selected to be a negative voltage so as to set the threshold voltage of the last stage CMOS inverter circuit lower than 5V or 3.3V. In this case, the sum of absolute values of the respective threshold voltages of NMOS TRs N1,N2 and PMOS TRs P1,P2 being components of the 2 stage CMOS inverter circuits is larger than the level of the input signal voltage.



## LEGAL STATUS

[Date of request for examination] 09.09.1996

[Date of sending the examiner's decision of rejection] 16.03.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3179350

[Date of registration] 13.04.2001  
[Number of appeal against examiner's decision] 11-05813

[Date of requesting appeal against examiner's decision 14.04.1999  
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



## 【0007】

【発明が解決しようとする課題】以上説明したような従来のレベルシフト回路をp-Si TFTで形成した場合、p-Si TFTの性能に依存して以下のような大きな問題が生じる。たとえば、レベルシフト回路を構成しているnチャネルおよびpチャネルp-Si TFTの閾電圧の絶対値が、2～3 V以上である場合、5 V、あるいは3、3 Vの入力電信号でのレベルシフト回路を作させることはできない。たとえば、図11は、nチャネルおよびpチャネルp-Si TFTの閾電圧が5 Vと高い場合には、3、3 Vの入力電信号に対し、5 Vよりも低い場合には、nチャネルおよびpチャネルp-Si TFTの閾電圧を、ともに1 V程度まで低くする必要があるが、現状のp-Si TFTプロセスでこれを達成することは困難である。また、5 Vの入力電信号で動作させるために、TFT閾電圧を2 V以下まで低く抑える必要があり、これもまた、現状プロセスで達成することは難しい。

【0008】以上説明したように、図10に示した従来のレベルシフト回路においては、それを構成しているp-Si TFTの閾電圧が2～3 V以上になると、5 V、あるいは3、3 Vの入力電信号に対し、応答できなくなるという問題が発生する。その結果、外部信号処理/駆動回路とのインターフェースがどれくなり、液晶表示装置の小型化、低コスト化が難しくなる。

【0009】また、図10に示した従来のレベルシフト回路においては、前述のように、NMOSトランジスタN6、N7のサイズをPMOSトランジスタP6、P7に比べて10倍程度大きくする必要があるため、回路面積が大きくなり、高速、高電圧、高電流を囲む面積が生じる。

【0010】本発明の目的は、上記問題点を解決するために、p-Si TFTの閾電圧が2～3 V以上あった場合においても、5 V、あるいは3、3 Vの入力電信号に対し、高速に応答することができるレベルシフト回路を提供することにある。

【課題を解決するための手段】かかる目的を達成するため、本発明のレベルシフト回路は、カスケード接続された2段のCMOSインバータ回路からなる。2段のCMOSインバータ回路は、カスケード接続された2段のCMOSインバータ回路からなるレベルシフト回路である。その2段のCMOSインバータ回路の駆動電圧が入力電信号電圧よりも高く、かつ、切替CMOSインバータ回路のグランドドレーブルが負電圧であり、かつ、その2段のCMOSインバータ回路を構成しているNMOSトランジスタとPMOSトランジスタのそれぞれの閾電圧の絶対値の和が、入力信号電圧の振幅よりも大きいことを特徴としている。

【0011】本発明の別のレベルシフト回路は、上記レベルシフト回路において、初段CMOSインバータ回路を構成しているNMSトランジスタN1、N2の閾電圧とPMSトランジスタP1、P2の閾電圧の和が負電圧よりも低く、かつ、切替CMOSインバータ回路の駆動電圧が入力電信号電圧よりも高く、かつ、切替CMOSインバータ回路の駆動電圧が負電圧であることを特徴としている。

## 【0012】また、本発明の別のレベルシフト回路は、カスケード接続された2段のCMOSインバータ回路からなるレベルシフト回路である。その2段のCMOSインバータ回路の駆動電圧が入力電信号電圧よりも高く、かつ、切替CMOSインバータ回路の駆動電圧が負電圧よりも低く、かつ、その2段のCMOSインバータ回路を構成しているNMSトランジスタとPMSトランジスタのそれぞれの閾電圧の絶対値の和が、入力信号電圧の振幅よりも大きいことを特徴としている。

【0013】また、本発明の別のレベルシフト回路は、上記レベルシフト回路において、初段CMOSインバータ回路を構成しているNMSトランジスタN1、N2の閾電圧とPMSトランジスタP1、P2の閾電圧の和が示されている。図11に示すように、p-Si TFTの閾電圧が5 Vと高い場合には、3、3 Vの入力電信号に対し、5 Vよりも低い場合には、nチャネルおよびpチャネルp-Si TFTの閾電圧が0 V、V<sub>S1</sub>とV<sub>S2</sub>の間に示すように、V<sub>S1</sub>を0 V、V<sub>S2</sub>を-5 Vと変化させている。入出力電圧特性に示すように、V<sub>S1</sub>を負側に大きくしていくにつれて、図2に示した出入力電圧特性と同様に、初段CMOSインバータ回路の閾電圧が小さくなっていくことがわかる。その結果、V<sub>S1</sub>=-4 V、-7 Vの場合には、初段CMOSインバータ回路の閾電圧は、5 Vよりも低くなっている。

【0014】また、本発明の別のレベルシフト回路は、上記レベルシフト回路において、その出力端子がクロック信号出力回路または副脚信号出力回路の入力端子に接続されていることを特徴としている。

## 【0015】

【発明の実施の形態】次に、本発明の第1の実施の形態について図面を参照して詳細に説明する。

【0016】図1は、本発明の別のレベルシフト回路の構成を示す図である。図に示すように、本発明のレベルシフト回路は、カスケード接続された2段のCMOSインバータ回路で構成されている。このレベルシフト回路において、初段CMOSインバータ回路のグランドドレーブルは電源電圧V<sub>S1</sub>で与えられ、2段目CMOSインバータ回路のグランドドレーブルは電源電圧V<sub>S2</sub>で与えられる。このレベルシフト回路を構成するためには、2段のCMOSインバータ回路の出力端子V<sub>OUT</sub>を示す1～3のデジタル信号を入力端子1～3で、2段目CMOSインバータ回路の動作点は、図1の黒丸で示したボイントとなる。すなわち、入力電圧が0 V、5 Vの時、出力電圧はそれぞれ1.1 V、-7 V、-5 Vとなる。この出力電圧が、2段目CMOSインバータ回路の入力電圧となるので、2段目CMOSインバータ回路には、ローレベル電圧-5 V、ハイレベル電圧1.1 Vの時、出力電圧はハイレベル電圧-5 V、ハイレベル電圧11.1 Vとなる。その結果、2段目CMOSインバータ回路は、十分スイッチングができる、その出力電圧は、それも1.2 V、0 Vとなる。すなわち、本発明のレベルシフト回路の出力として、ローレベル電圧0 V、ハイレベル電圧1.2 Vのデジタル信号が得られることになる。

【0017】図3は、図1に示した本発明のレベルシフト回路に、V<sub>S1</sub>=-7 V、V<sub>S2</sub>=0 V、VDD=1 Vの条件下で、3、3 Vのデジタル信号V<sub>IN</sub>を入力した時の出力波形V<sub>OUT</sub>を示したものである。また、初段CMOSインバータ回路の出力波形V<sub>1</sub>も合わせて示されている。この出力波形より、本レベルシフト回路を用いて、3、3 Vのデジタル信号を1.2 Vのデジタル信号に昇圧できることがわかる。ここで、初段CMOSインバータ回路の出力端子V<sub>1</sub>は、前述のように、ローレベル電圧-5、5 V、ハイレベル電圧1 Vの条件で、p-Si TFTを構成しているPMOSトランジスタP2と、NMOSトランジスタN2の駆動能力を等しくするために、PMOSトランジスタ、およびNMOSトランジスタのサイズを、それぞれ、(W/L) n=3.2 μm/p=2.4 μm/6 μm、および(W/L) n=3.2 μm/p=6 μmとしている。

【0018】以上説明したように、本発明のレベルシフト回路において、V<sub>S1</sub>=-7 V、V<sub>S2</sub>=0 V、VDD=1 Vの条件下で、5 Vのデジタル信号V<sub>IN</sub>を入力した時の出力波形V<sub>OUT</sub>を示したものである。また、初段CMOSインバータ回路の出力端子V<sub>1</sub>も合わせて示されている。この際、NMOSトランジスタN1、N2およびPMOSトランジスタP1、P2の閾電圧は、前述のように、4 Vであり、NMOSトランジスタP1、P2の駆動電圧は、前述のように、それも5 Vである。すなわち、本実施例のレベルシフト回路の出力として、ローレベル電圧0 V、ハイレベル電圧1 Vのデジタル信号が得られるることになる。

【0019】本実施例のレベルシフト回路において、V<sub>S1</sub>=1.2 Vにして、V<sub>S2</sub>=0 V、-4 V、-7 Vと変化させた場合の、初段CMOSインバータ回路の入出力電圧特性は、図2のようになる。この際、MOSトランジスタとして、p-Si TFTを採用しており、NMOSトランジスタN1、N2の閾電圧と、P2の閾電圧、電界効果移動度は、それぞれ、5 V、4.0 cm<sup>2</sup>/V·secである。一方、PMOSトランジスタP1、P2の閾電圧は、-5 V、-4 Vである。また、初段CMOSインバータ回路を構成しているPMOSトランジスタおよびNMOSトランジスタのサイズは、それぞれ、(W/L) n=1.6 μm/p=6 μm、(W/L) n=1.6 μm/p=6 μmととなっており、方式で与えられるNMOSトランジスタとPMOSトランジスタの閾電圧の絶対値の和は4、8 Vと、入力電圧5 Vよりも小さくなっている。この場合においても、図5【0020】本実施例のレベルシフト回路において、V<sub>S1</sub>=1.2 Vにして、V<sub>S2</sub>=0 V、VDD=1 Vの条件下で、5 Vのデジタル信号V<sub>IN</sub>を入力した時の出力波形V<sub>OUT</sub>を示したものである。この際、NMOSトランジスタN1、N2およびPMOSトランジスタP1、P2の閾電圧は、前述のように、それも4 Vである。すなわち、本実施例のレベルシフト回路の出力として、ローレベル電圧0 V、ハイレベル電圧1.2 Vのデジタル信号が得られることがある。

## 【0021】上記実施例においては、NMOSトランジスタN1、N2、およびPMOSトランジスタP1、P2の閾電圧の絶対値の和は4、8 Vと、入力電圧5 Vよりも小さくなっている。この場合においても、図5

より、5Vのディジタル信号を1.2Vのディジタル信号に昇圧できていることがわかる。

【0024】次に、本発明のレベルシフト回路の第2の実施の形態について説明する。

【0025】NMOSトランジスタとPMOSトランジスタの閾値電圧の絶対値の和が、入力電圧の振幅よりも大きい場合、CMOS動作が可能となるので、図10に示した從来のレベルシフト回路を利用することができます。しかししながら、本実際のレベルシフト回路においては、NMOSトランジスタN1、N2のサイズを従来のレベルシフト回路を構成しているNMOSトランジスタN6、N7に比べて1/10程度に小さくできるので、回路面積を小さくでき、高速・高歩留まり化を図る上で有利である。

【0026】上記2つの実施例では、ハイレベル電圧VDDを1.2Vとしたが、入力電圧VINよりも大きい電圧であれば、特に限らない。また、上記2つの実施例においては、2段目CMOSインバータ回路のグランドレベルVSS2を0Vとしたが、2段目CMOSインバータ回路の駆動がスイッチングできる電圧であれば、VSS2は特に限らない。たとえば、VSS2を1Vや2V等の正圧に設定しても良いし、-1Vや-2V等の負圧に設定しても良い。このVSS2の値は、本レベルシフト回路の駆動された電圧や、サンプルホールド回路等の周辺駆動回路の駆動電圧条件に合わせて設定しても良い。このVSS2の値は、本レベルシフト回路で昇圧された電圧で駆動される走査回路や、サンプルホールド回路等の周辺駆動回路の駆動電圧条件に合わせて設定してやれば良い。

【0027】また、上記2つの実施例では、MOSトランジスタとしてp-Si TFTを採用したが、他の薄膜トランジスタ、例えばモルファスリコン(a-Si TFTや、カドミウムセレン(CdSe) TFT等を用いても良い。【0028】以上説明したように、NMOSトランジスタの閾値電圧の絶対値の和が、4.8V(=2.4V-(-2.4V))と、入力電圧5Vより小さい場合においても、汎用性の高いレベルシフト回路として適用することができます。

【0029】(4)

ハイレベル電圧1.2Vのディジタル信号が入力される場合に、VSS1=-4V、VSS2=0V、VDD=1.2Vの条件下で、3.3Vのデジタル信号VINは、十分スイッチングすることができ、その出力電圧は、それぞれ1.2V、0Vとなる。

【0030】図8は、図6に示した本発明のレベルシフト回路に、VSS1=-4V、VSS2=0V、VDD=1.2Vの条件下で、3.3Vのデジタル信号VINを入力した時の出力波形VOUTを示したものである。また、初段CMOSインバータ回路の出力波形V2も合わせて示されている。この出力波形より、本レベルシフト回路を用いて、VSS1=-4Vの条件で、3.3Vのデジタル信号を1.2Vの条件で、初段CMOSインバータ回路の出力電圧が0V、3.3Vの時、出力電圧はそれぞれ1.2V、-3.8Vとなる。この出力電圧が、2段目CMOSインバータ回路の入力信号となるので、この他に、液晶ディスプレイ周辺駆動回路の制御信号、たとえば、

【0031】本実施例においては、NMOSトランジスタとPMOSトランジスタの利得係数の比の値を8とし、VSS1に供給できる電源電圧を考慮して、1よりも大きい、それ以外の値で設計しても良い。利得係数の比の値を大きくすればするほど、より小さい負の電源電圧VSS1で、レベル変換することができます。ただし、利得係数の比の値を大きくするにつれて、入力電圧VIN=0V時に流れるリーケ電流が大きくなるため、許容できる消費電力を越えない範囲で利得係数の値を決定する必要がある。

【0032】また、本実施例では、ハイレベル電圧VDDを1.2Vとしたが、入力電圧VINよりも大きい電圧であれば、特に限らない。また、本実施例においては、2段目CMOSインバータ回路のグランドレベルVSS2を0Vとしたが、2段目CMOSインバータ回路がスイッチングできる電圧であれば、VSS2は特に限らない。たとえば、VSS2を1Vや2V等の正圧に設定しても良いし、-1Vや-2V等の負圧に設定しても良い。このVSS2の値は、本レベルシフト回路で昇圧された電圧や、サンプルホールド回路等の周辺駆動回路の駆動電圧条件に合わせて設定してやれば良い。

【0033】また、本実施例では、MOSトランジスタとしてp-Si TFTを採用したが、他の薄膜トランジスタ、例えばモルファスリコン(a-Si TFTや、カドミウムセレン(CdSe) TFT等を用いても良い。【0034】以上説明したように、第1の実施の形態のレベルシフト回路においては、初段CMOSインバータ回路のグランド電圧VSS1が、第1の実施の形態よりも大きい条件下で、3.3Vのデジタル信号を1.2Vのデジタル信号にレベル変換することができます。

【0035】図9は、本実施例のレベルシフト回路の構成を示す図である。外部信号処理/駆動回路のグランド電圧VSS1が、第1の実施の形態よりも良い条件下で、3.2μA/6μA(W/L)h=1.28μm/6μmとなっており、式(1)、(2)で与えられるNMOSトランジスタとPMOSトランジスタの利得係数の比の値は8となっている。

【0036】(4)

ハイレベル電圧1.2Vのディジタル信号が入力される場合に、VSS1=-4V、VSS2=0V、VDD=1.2Vの条件下で、3.3Vのデジタル信号VINは、十分スイッチングすることができ、その出力電圧は、それぞれ1.2V、0Vとなる。

【0037】図9に示した本発明のレベルシフト回路に、VSS1=-4V、VSS2=0V、VDD=1.2Vの条件下で、3.3Vのデジタル信号VINを本発明のレベルシフト回路へ受け、その出力端子9.03がクロックシジェネレータ9.02の入力端子9.04に接続された構成となっている。このような構成をとることにより、回路を構成しているMOSトランジスタの閾値電圧が5Vと高い場合には、3.3Vのクロック信号から、1.2Vの2相クロック信号、/φを生成することができる。ここで生成されたクロック信号は、電源電圧1.2Vで動作する走査回路等の液晶ディスプレイ周辺駆動回路に供給される。

【0038】本発明のレベルシフト回路は、この他に、液晶ディスプレイ周辺駆動回路の制御信号、たとえば、

OSインバータ回路には、ローレベル電圧-3.8V、

デコーダ回路のアドレス制御信号や、走査回路のリセット信号や、サンプルホールド回路のリセット信号等のレベル変換として広く利用することができます。

【0039】

【発明の効果】 本発明のレベルシフト回路を適用するにより、NMOSトランジスタとPMOSトランジスタの閾値電圧の絶対値の和が、入力電圧の振幅よりも大きい負の電源電圧VSS1で、レベル変換することが可能となる。また、NMOSトランジスタとPMOSトランジスタの閾値電圧の絶対値の和が、入力電圧の振幅よりも小さい場合にも、本発明のレベルシフト回路を適用することができる。その場合には、從来よりも回路面積を小さくすることができるので、高速・高歩留まりのレベルシフト回路を提供することが可能となる。以上の効果により、外部信号処理/駆動回路とのインタフェースが簡略化され、液晶表示装置の小型、低コスト化を図ることができると。

【図面の簡略化説明】

【図1】 本発明のレベルシフト回路の実態の形態を示す図である。

【図2】 本発明のレベルシフト回路を構成しているCMOSインバータ回路の動作波形を示す図である。

【図3】 本発明のレベルシフト回路の動作波形を示す図である。

【図4】 本発明のレベルシフト回路を構成しているCMOSインバータ回路の特性を示す図である。

【図5】 本発明のレベルシフト回路の動作波形を示す図である。

【図6】 本発明のレベルシフト回路の他の実施の形態を示す図である。

【図7】 本発明のレベルシフト回路の動作波形を示す図である。

【図8】 本発明のレベルシフト回路の動作波形を示す図である。

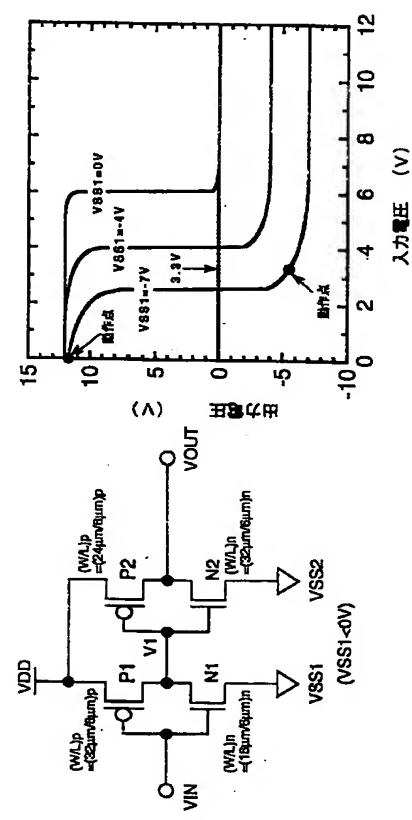
【図9】 本発明のレベルシフト回路の構成を示す図である。

【図10】 本発明のレベルシフト回路の構成を示す図である。

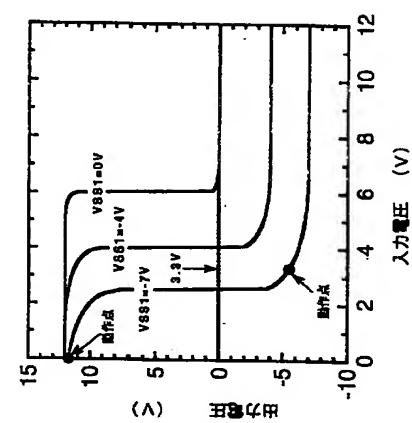
【符号の説明】

901 レベルシフト回路  
902 クロックジェネレータ  
903 出力端子  
904 入力端子

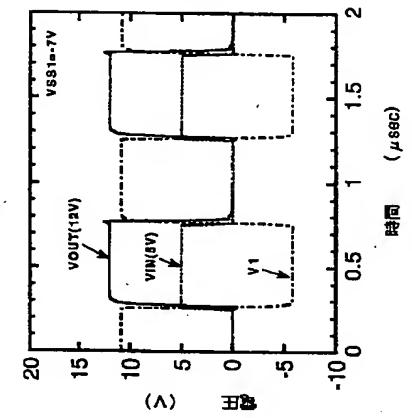
[図 1]



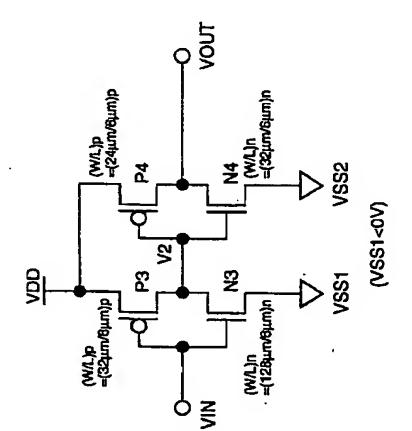
[図 2]



[図 5]

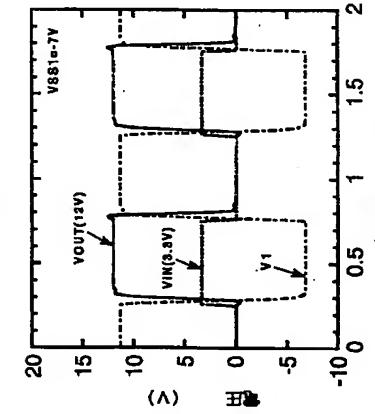


[図 6]

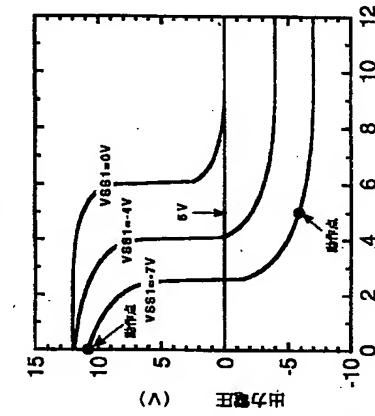


[図 6]

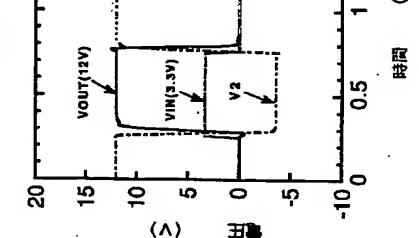
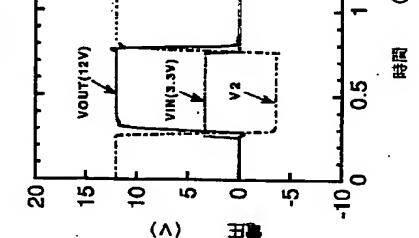
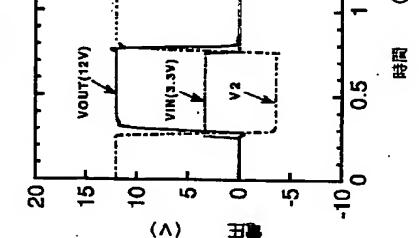
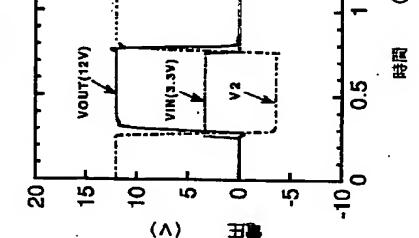
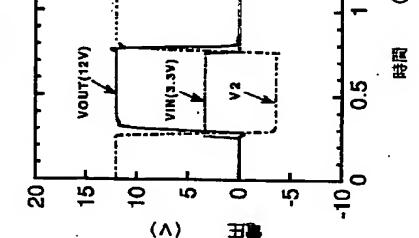
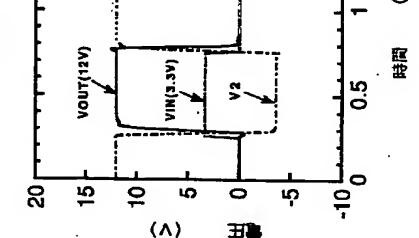
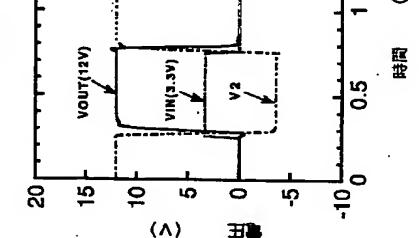
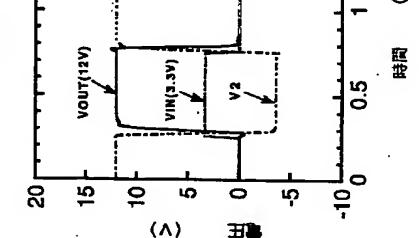
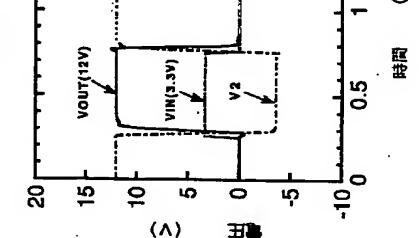
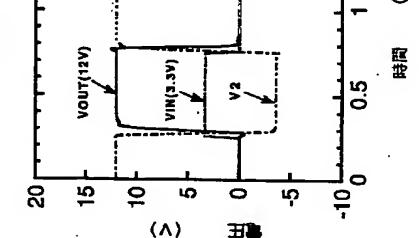
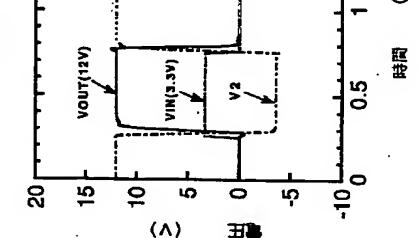
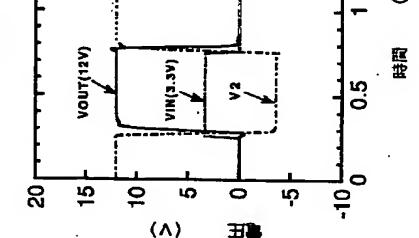
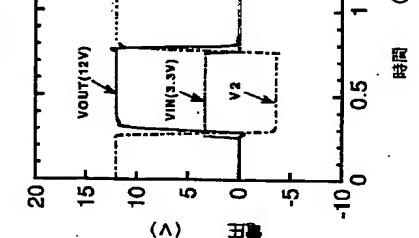
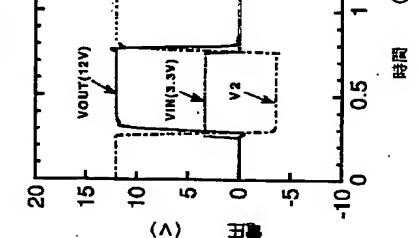
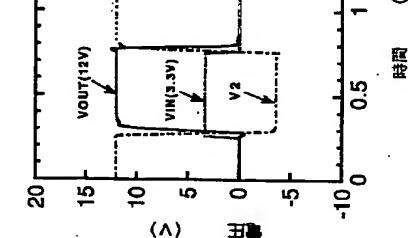
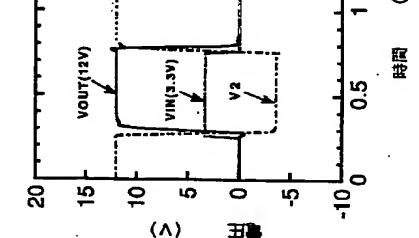
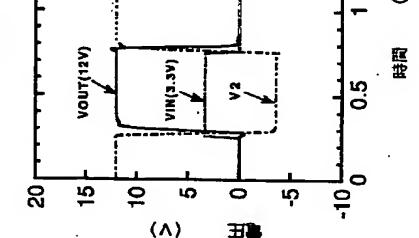
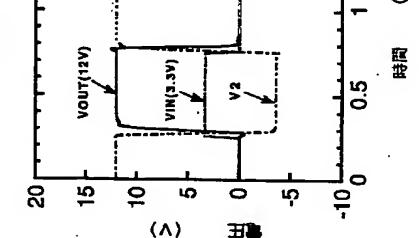
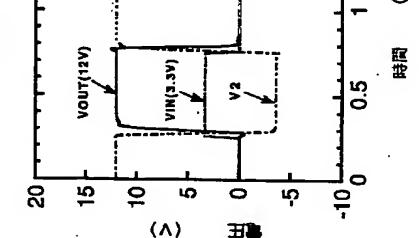
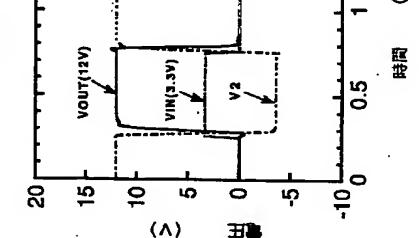
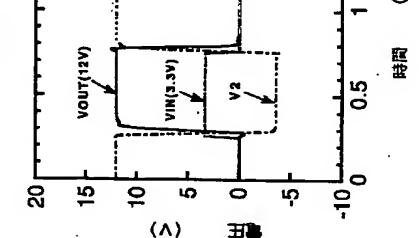
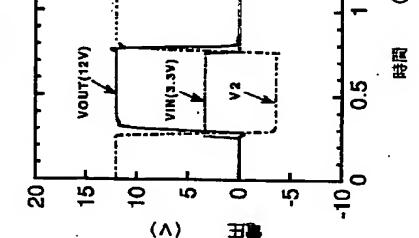
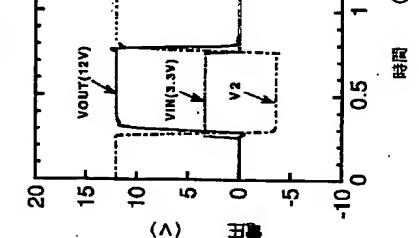
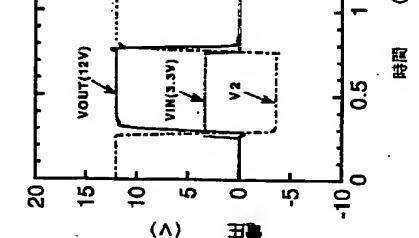
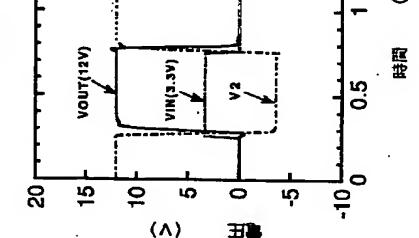
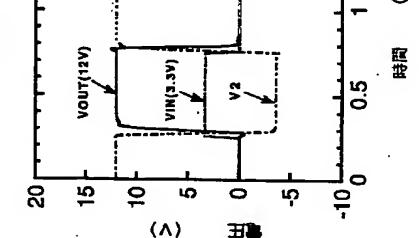
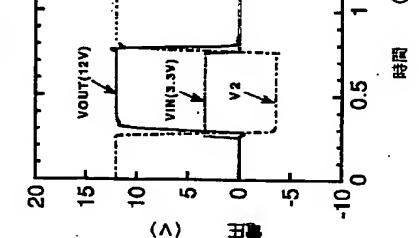
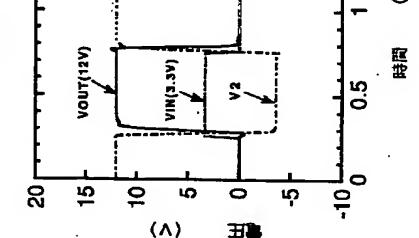
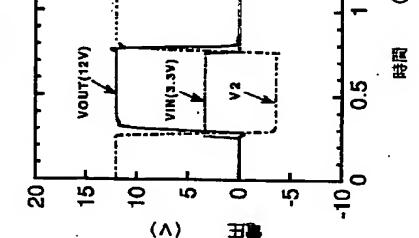
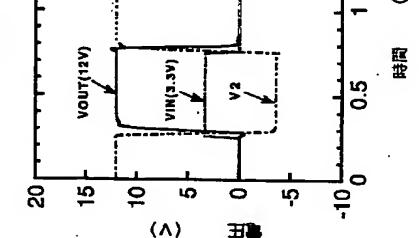
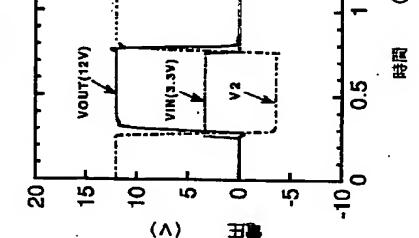
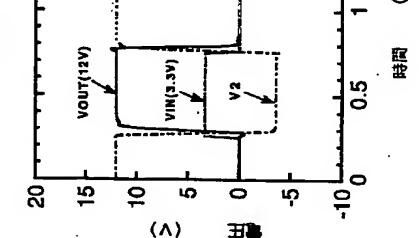
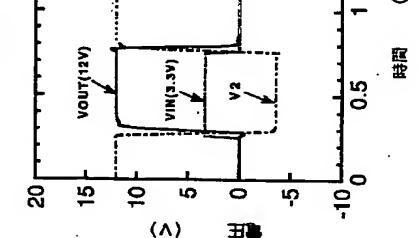
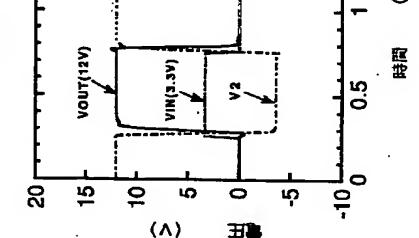
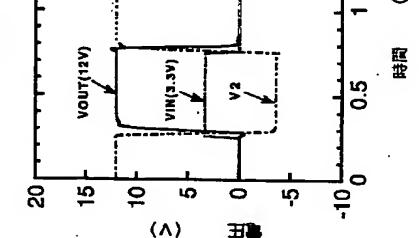
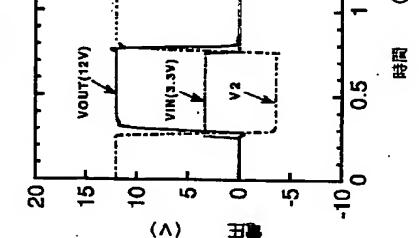
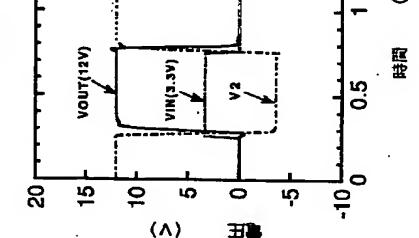
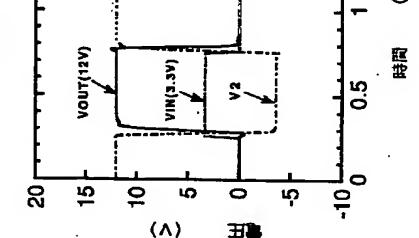
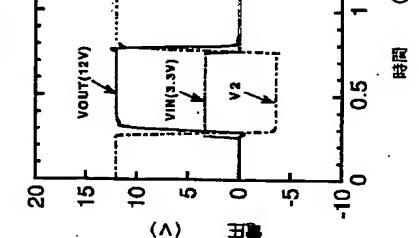
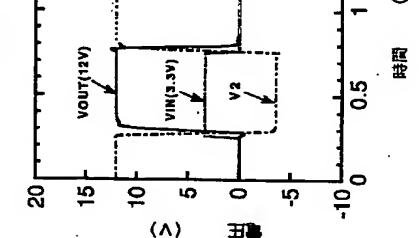
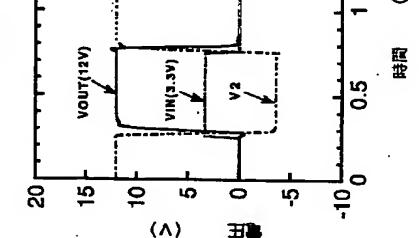
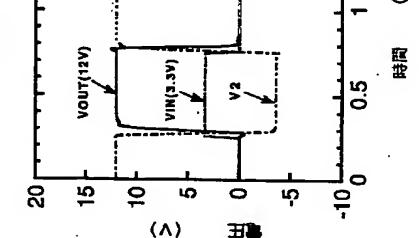
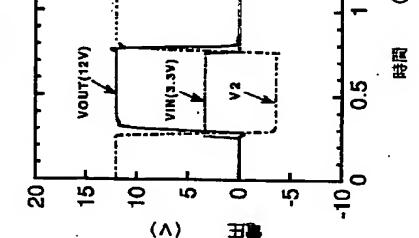
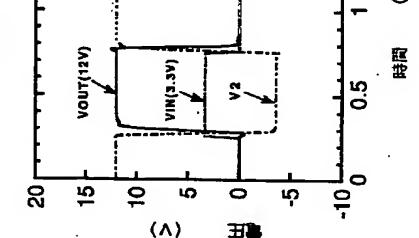
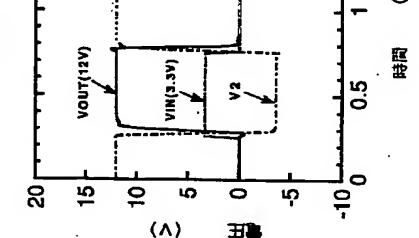
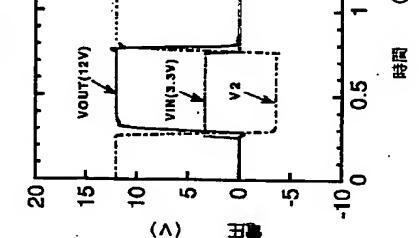
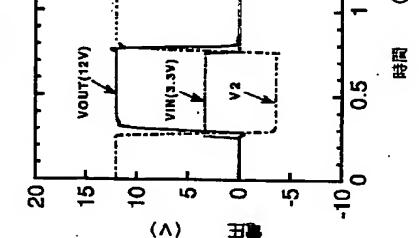
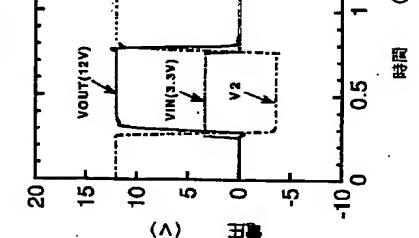
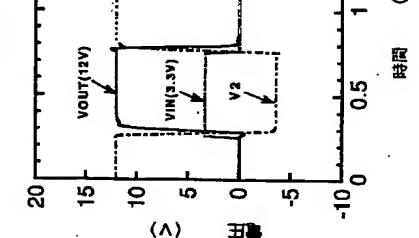
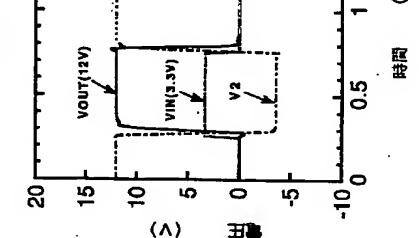
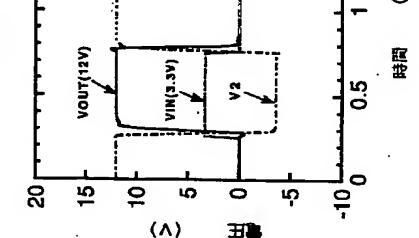
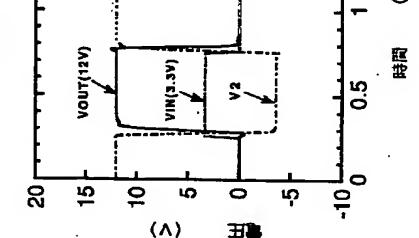
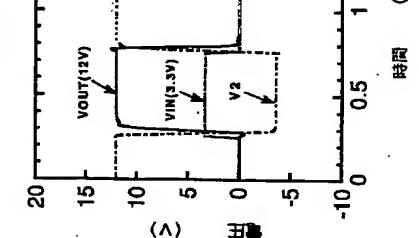
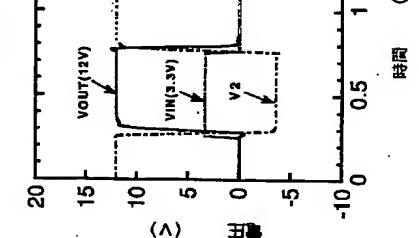
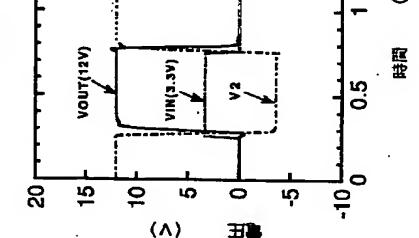
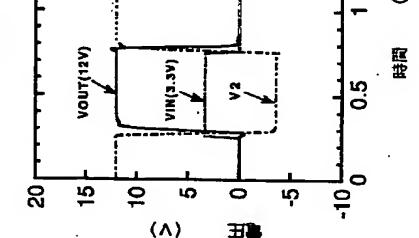
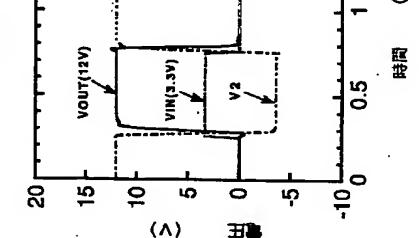
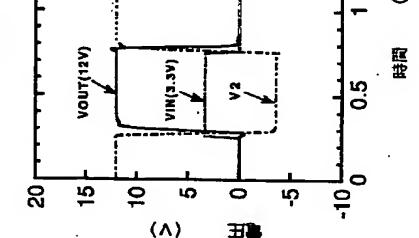
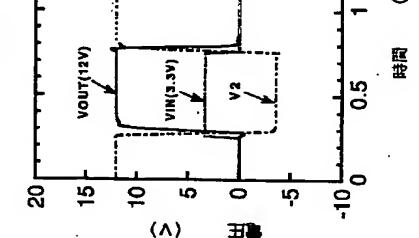
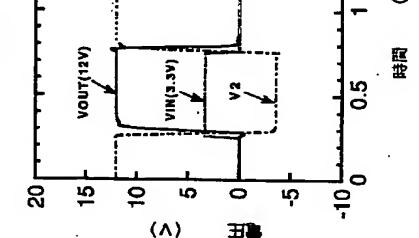
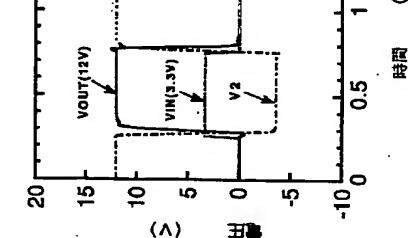
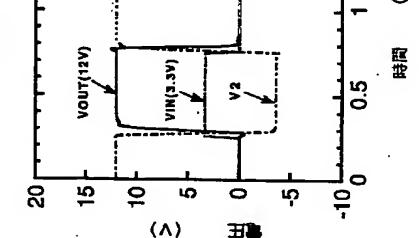
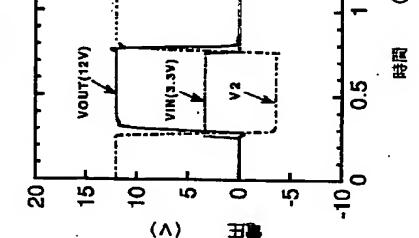
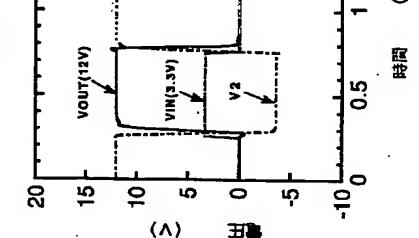
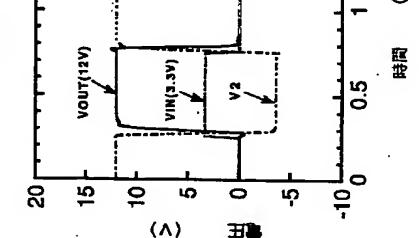
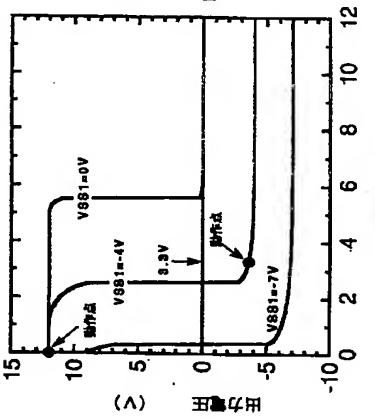
[図 3]



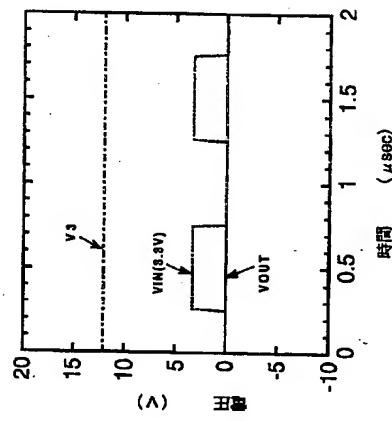
[図 4]



[図 7]



[図11]



## フロントページの続き

(5) Int. Cl. 6  
H 03 K 19/0185  
19/0948

識別記号 戻内整理番号 F 1  
H 03 K 19/00 19/094  
19/0948

技術表示箇所  
101D  
B